

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-6748

(P2004-6748A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl.⁷

H01L 21/3205

H01L 21/768

F1

H01L 21/88

H01L 21/90

R

B

テーマコード (参考)

5F033

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願2003-84484 (P2003-84484)
 (22) 出願日 平成15年3月26日 (2003.3.26)
 (31) 優先権主張番号 107630
 (32) 優先日 平成14年3月27日 (2002.3.27)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501229528
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国、テキサス、ダラス、チャ
 ーチル ウエイ 7839
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100094673
 弁理士 林 拓三
 (74) 代理人 100118821
 弁理士 祖父江 栄一

最終頁に続く

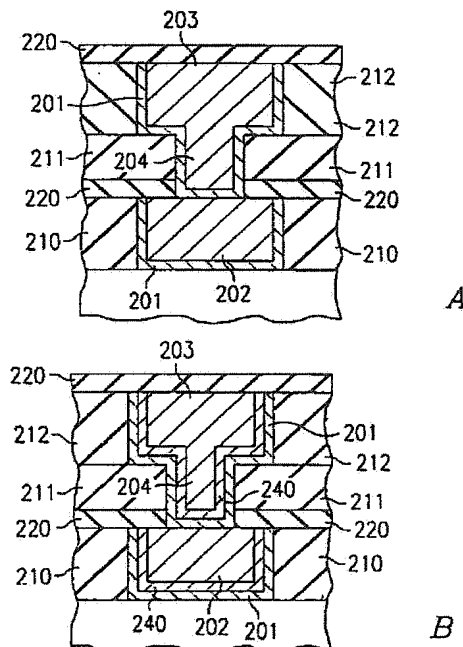
(54) 【発明の名称】 銅配線の信頼性を向上させるための銅遷移層

(57) 【要約】 (修正有)

【課題】 配線パターンサイズの微細化傾向が続き、配線内の電流密度が高くなる状況下で、エレクトロマイグレーションを抑止する銅メタライゼーションの構造および製造法の改善が求められていた。

【解決手段】 バリア層 (201) は、トレンチやビア用の孔の中の側壁と底部を含む誘電体層を覆うように位置させる。該バリア層 (201) は、銅をシールする作用をする。銅を添加した遷移層 (240) を、バリア層を覆うように位置させる。該遷移層は、純銅よりも高い抵抗率を有し、銅とバリア層に強力に接着させ、エレクトロマイグレーション耐性の信頼性を向上させる。前記孔の残った部分には、銅 (203) を充填する。前記孔は、トレンチ、あるいはトレンチとビアであってよい。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体ボデーの水平面における集積回路は、
前記半導体ボデーの上にある誘電体層と、
前記誘電体層を通る側壁と底部を持つ略垂直な孔と、
前記孔の中の前記側壁と前記孔の底部を含む前記誘電体層を覆うように設けられ、銅をシールする働きがあるバリア層と、
前記バリア層を覆う、銅を添加した遷移層、該遷移層は純銅よりも高い抵抗率を有し、銅と前記バリア層に強力に接着し、そのためエレクトロマイグレーション耐性の信頼性を向上させる、とから成り、前記孔の残った部分には銅を充填することを特徴とする集積回路

10

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、総じて、電子システムおよび半導体装置の分野に関するものであり、特に信頼性の高いマルチレベル銅メタライゼーションを目指す集積回路の製造工程に関するものである。

【0002】

【関連技術の説明】

銅配線は、従来のアルミ配線に比べて抵抗が低く、エレクトロマイグレーション耐性の信頼性が高いために、近年、シリコン集積回路に適応されるようになった。銅配線の製造にシングルダマシン法とデュアルダマシン法が使用されている。これらの二つの方法のいずれかをを用いるマルチレベル銅配線において、エレクトロマイグレーション耐性の信頼性を向上させた事例、特に初期故障の寿命を延長させた事例が、例えば、「直接コンタクト・ビア構造を有する高信頼性銅デュアルダマシン配線」という最近の論文で報告されている（上野他、IEEE インターネット電子装置会議 2000 年 12 月 10-13 日、p. 265-268）。上述の技術では、相互接続用ビアの底部における銅コンタクトを、極薄接着層を除いて、バリアフリーにすることによってマルチレベル銅回路を改良している。

20

【0003】

該論文に記述されたような進展にもかかわらず、既知の技術では、銅配線の考え方に関する多くの問題が未解決のままである。例えば、銅原子が複数のエネルギー準位を与えて、電子を再結合させたり、あるいは生成させたりすること、すなわち銅原子が電子の寿命キラーとしても働くことが知られるシリコン回路の中に銅がマイグレートすることを防ぐために、バリア層によって銅原子をシールする必要がある。こうしたシールバリアは、微小ボイドが合体して大きなボイドを形成する可能性のある侵入原子から、低誘電率の多孔性絶縁層（いわゆるローケイ材料）を保護する必要がある。

30

【0004】

別の例としては、銅を充填するビアの準備工程において、ビア直径が縮小するときに、銅の抵抗率が異常に増加しないように、ビアの内壁膜を注意深く形成する必要がある。この方面の進展が、最近、2001 年 10 月 11 日提出された米国特許出願番号 90/975、571（キーン・タン・ジャン：トレンチおよびビア側壁の平滑化により銅線抵抗率を低減）に記述されている。しかしながら、該ビア形成工程の費用効果や、ビアの準備処理のあとで容易に清浄化が行えるように該工程はシンプルにできるかなどの実践的な方法については考慮されていない。

40

【0005】

粒界、転位、点欠陥が、エレクトロマイグレーションにおける材料原子の輸送を助けることは、かねてから種々の文書で記述されている。（例えば、S. M. セー：“VLSI テクノロジー”、マグローヒル、p. 409-413, 1988 を参照されたい。）集積回路のパターンサイズの微細化傾向が続くなかで、このような歓迎されない影響は、一層重要になっているが、これらの影響を減少させ、回避させる銅メタライゼーション技術は、

50

いまだ開示されていない。

【0006】

したがって、シングルダマシン、特にデュアルダマシン技術によって、銅メタライゼーションおよび銅を充填したビア配線を製造し、同時に、素子の信頼性を向上させる理路整然として構成されたコストの低い方法が、現在強く求められている。該製造法は、まずシンプルであるべきであり、かつ異なった半導体製品群と広範なデザインおよび工程例を十分にカバーする柔軟性を兼ね備えたものであるべきである。なるべくなら、それらの革新的技術は、製造サイクルタイムを延長することなく既存の設備を用いて、したがって製造機械に新たな投資を必要とせずに達成されるべきである。

【0007】

【発明の要約】

本発明では、半導体ボデー上にある誘電体層と、該誘電体層を通る、側壁と底部をもつ略垂直な孔と、を有する半導体ボデーの水平面における集積回路の構成と製造法を記述する。バリア層は、前記孔の側壁および前記孔の底部を含む誘電体層を覆うように配置されている。前記バリア層は、銅をシールする作用し、銅を添加した遷移層を覆うように配置されている。該遷移層は、純銅よりも高い抵抗率を有し、銅およびバリア層に強力に接着する作用があり、そのためエレクトロマイグレーション耐性の信頼度が向上する。前記孔の残った部分には、銅が充填される。該孔に、トレンチもしくはトレンチとビアを形成することができる。

【0008】

本発明のバリア堆積およびエッチング法は、どのような誘電体層にも使用できるが、特に低誘電率の多孔性材料に適している。

【0009】

本発明において採用可能なバリア材料として、誘電体金属炭化物および窒化物、有機絶縁性材料、二酸化ケイ素などの多くの高融点金属および化合物が挙げられる。前記バリア材料は、1 nm～50 nmの範囲の厚さを有する。

【0010】

前記バリア層を覆うように配置された、銅添加遷移層は、エレクトロマイグレーションを抑止するために十分な高さの電気抵抗率と十分な低さの電流密度を特徴とする材料から成っている。ある種の材料では、銅のドーピングは、前記孔においてバリア層から銅にかけて低濃度から高濃度へ向かう傾斜を示し、したがって抵抗率は高抵抗から次第に減少する。前記遷移層の厚さは、50 nm～120 nmの範囲にある。

【0011】

前記遷移層の上で銅めっきが直接行われるようにするという基本要件を満たすために、前記遷移層の抵抗率を十分に低く保つことができれば、銅シード層を堆積させる必要はなくなる。銅めっきは、銅遷移層を堆積した直後に行うことができる。

【0012】

本発明の技術的効果の一つをあげれば、前記ビアの底部から前記遷移層とバリア層を選択的に除去する選択的除去工程に続く化学的清浄化が、該遷移層とバリア層の場合、容易なことである。

【0013】

中間ストップ層で結合されたトレンチレベル誘電体層とビアレベル誘電体層の複合構造において、ビアの底部の前記遷移層とバリア層を選択的に除去する工程段階は、微調整された異方性プラズマエッチング工程から成る。本発明では、前記エッチング段階は、前記中間ストップ層上の前記（概ね水平な）遷移層とバリア層とともに、前記孔の底部上の前記（概ね水平な）遷移層とバリア層を除去し、かつ前記中間ストップ層の一部だけを貫通するように意図したものである。したがって、前記ストップ層の残った部分は前記多孔性材料をシールしたままになる。

【0014】

本発明の一面において、前記の方法は、デュアルダマシン法ならびに深いサブミクロン（

10

20

30

40

50

0.18 μm 以下)技術と十分に対応している。

【0015】

本発明に代表される技術ならびにさまざまな態様を、添付された図面およびクレームで述べた新規な特徴と関連させて検討するならば、以下の本発明の好ましい実施例の記述から明らかになる。

【0016】

(発明の詳細な説明)

本発明は、2001年5月23日に提出された米国特許出願番号09/863、687 (ブレナン他：多孔性ローケイ誘電体層内のビア側壁をシールする方法)、および2001年10月11日に提出された米国特許出願番号09/975, 571 (ジアン：トレンチおよびビアの側壁を平滑化して銅線抵抗率を低減)に関連するものである。

【0017】

図1は、全体を100として示した2レベル集積回路(IC)メタライゼーション構造の概略断面である。半導体101の上には、第1のレベル内誘電体層102があり、その上にレベル間誘電体層103が配置され、さらにその上に第2のレベル内誘電体層104が配置されている。前記誘電体層は、ローケイ(低誘電率)材料140である。トレンチ105は、前記第1のレベル間誘電体層102にエッチングにより形成され、別のトレンチ106は、第2のレベル間層104にエッチングにより形成され、ビア107は、前記レベル間誘電体層103にエッチングにより形成される。二つのトレンチ105と106およびビア107には銅105が充填されている。(トレンチ105が第1のメタライゼーションレベルを構成し、トレンチ106が第2のメタライゼーションレベルを構成する。)銅の性質として、銅が拡散・ドリフトにより誘電体材料104(あるいは前記半導体ボデー101)に移動するのを阻止するために、前記トレンチおよび前記ビアの側壁に薄いバリア層130によってライニングを施す必要がある。160は、一番上の誘電体バリアであり、炭化シリコンあるいは炭一窒化シリコンの層で形成され、あるいはこれら2層を積層して形成されることが望ましい。

【0018】

パターンサイズの微細化傾向を象徴するように、別のトレンチ115が、前記第1のレベル内誘電体層101にエッチングで形成されており、該トレンチ115の断面は、トレンチ105の断面よりも小さい。同様に、前記第2のレベル内誘電体層104にエッチングで形成されたトレンチ116は、その断面がトレンチ106の断面よりも小さい。さらに、レベル間誘電体層103にエッチングにより形成されたビア117の断面はビア107の断面よりも小さい。さらに、前記トレンチ115と116およびビア117にも銅が充填されている。したがって、前記必要とされているバリア層131は、前記バリア層130と略同じである。

【0019】

図1の第3の組のトレンチ125、16およびビア127によって線幅の微細化の現在の傾向が示されている。さらに、バリア132は、バリア130、131と略同じである。この微細化傾向は、エレクトロマイグレーションにおいて以下の2つの結果をもたらしている。

- ・メタライゼーションにおいて電流密度が増加している。
- ・縮小を続ける銅線とビアに関連して変わらないバリア/銅界面の重要性が増している。前記線幅が縮小するにつれて側壁界面領域における銅の比率が増加している。

【0020】

移動するイオンのドリフト速度は、電流密度と、電気抵抗率と、拡散性に比例し、拡散活性エネルギーを含む指数項に反比例する(S. M. セー：“VLSIテクノロジー”、p. 410、マグローヒル、1988参照)。前記拡散性は、界面、粒界、転位、その他の存在によって大きく決定される。したがって、前記側壁界面領域に関連して配線およびビアのサイズが縮小するにつれて、図1に示す金属配線の側壁エレクトロマイグレーション

10

20

30

40

50

耐性の信頼性がますます重要になる。

【0021】

図2Aの概略断面は、本発明の教えるところに基づいた解決法を明示する図2Bと比較するために、銅メタライゼーションの現在の技術の状態を繰り返し示すものである。図2Aおよび図2Bにおいて、バリア層201は、トレンチ202、203と、ビア204に対しライニングの役目を果たすものである。ビア204ならびにトレンチ202、203には、銅が充填される。前記バリア層には、以下のようないくつかの選択肢がある：

- ・ バリア層を、チタニウム、タンタル、タングステン、モリブデン、クローム、これらの化合物のなかから選ばれた高融点金属によって形成する。

- ・ バリア層を、炭一窒化シリコン、炭化シリコン、窒化チタニウム、窒化タンタル、窒化タングステン、炭化タングステン、窒化シリコン、チタニウム／窒化シリコン、タンタル／窒化シリコンから選ばれた絶縁誘電体化合物によって形成する。

- ・ バリア層を有機誘電体材料によって形成する。

【0022】

望ましくは、前記バリア層201の厚さを1nm～50nmの範囲とする。該バリア層により多孔性誘電体層210、211、212（低誘電率）をシールすることにより、前記多孔性誘電体層内の微細ボイドが合体して大きなボイドを形成するのを防止し、銅が前記孔から前記誘電体層にマイグレートするのを防止する。図2Aと図2Bの構造は、なるべくなら、炭一窒化シリコン、窒化シリコン、もしくは酸化炭素シリコンなどで形成された誘電体層220を有する。

【0023】

本発明によれば、銅含有材料でできた遷移層240によって、トレンチ202、203およびビア204にライニングを施す。該遷移層は、銅／バリア界面で発生するエレクトロマイグレーションを抑止するために十分高い電気抵抗率と十分に低い電流密度とを有する。該遷移層は、

- ・ 銅タンタル、銅マグネシウム、銅アルミニウム、銅シリコン、銅クローム、銅モリブデン、銅ジルコニウム、銅ニッケル、銅すず、銅銀、銅チタニウム、銅パラジウムの中から選んで形成する。

銅ジルコニウムと銅すずを選ぶことが望ましい。

【0024】

前記遷移層は、50nm～120nmの範囲の厚さを有する。該範囲にわたって、銅を傾斜状もしくは一定の濃度で含有させることができる。

【0025】

銅添加遷移層を設けたときの前記銅メタライゼーション配線を通る電流の流れと該遷移層のない場合の比較を、図5と3とによって概略図で示す。これらの図は、メタライゼーション線の長手方向の断面を平面図として表している。図3では、銅線を301で示しており、矢301aは概略的に電流の強さと密度とを示している。（ただし、図3の矢301aの長さや濃さは、量を必ずしも表すものと解釈してはならない。）前記銅線301は、バリア層302で囲まれ、埋め込まれている。図3では、前記バリア層は、小さな矢302aで示した少量の電流を流すことができるタンタルのような高融点金属で形成されている。前記バリア層が窒化タンタルのような絶縁体であれば、該バリア層には電流を全く流れない。前記バリア層302を、今度は絶縁材料30のなかに埋め込む。

【0026】

エレクトロマイグレーションに関して、重要な界面は、良好な導電性を有する前記銅線301と低い導電性を有する前記バリア層302との間にある界面310である。すでに述べたように、エレクトロマイグレーション障害が発生する可能性のあるのは、この界面310である。

【0027】

図4Aと図4Bは、バリア材料の、すなわちバリアの導電性の関数としての銅メタライゼーションの寿命の測定データを示している。これらの図は、線幅が0.35μmで、電流

10

20

30

40

50

密度が 1.6 mA/cm^2 の場合における図 4 A に示したものと、線幅が $0.5 \mu\text{m}$ で、電流密度が 1.0 mA/cm^2 の場合における図 4 B に示したものとを 325°C でデュアルダマシンを行った各サンプルのデータをプロットしたワイブル分布を表している。プロットしたデータは、故障発生までの時間 (hr 単位) の関数としての対数の対数であるキャリア生存率である。図 4 A と図 4 B の双方において、バリアの抵抗率が低いほど、銅線寿命は向上するという傾向が明らかに示されている。窒化タンタルのバリアを有する銅サンプルは、最も生存率が低かった。最も外側の窒化タンタル層にタンタル層を加えた銅サンプル (2 層バリアサンプル) では寿命が長くなった。銅の上にタンタルを堆積したサンプルにおいて、そのバリア層が検討した特定サンプルの中で最良の導電性を示した。

【0028】

本発明によれば、前記銅線とバリア層の間に別な層を挿入し、主成分金属に銅を“ドーピング” (もしくは銅合金化) することにより、この遷移層の導電性を向上させる。図 3 と類似した図 5 は、銅線 501 の概略断面を平面図として表したものである。矢 501a は、概略的に電流の強さと密度とを示している。(ただし、矢 501a の長さや濃さは、量の程度を必ずしも表すものと解釈してはならない。) 該銅線 501 は銅遷移層 520 に囲まれ、埋め込まれている。矢 520a の中間の長さは、電流がゼロではないが前記銅線 501 の電流と比べればかなり低いことを、望ましくは、中間の強さを表している。層 520 は、先に提示したリストから選んだ材料で形成されている。前記銅遷移層は、バリア層 502 に埋め込まれ、囲まれている。該バリア層は、小さな矢 502a で示された小さな量の電流を流す、タンタルのような高融点金属から成っている。前記バリア層が窒化タンタルのような絶縁体であれば、該バリア層には電流は全く流れない。前記バリア層 502 を、今度は絶縁材料 503 に埋め込まれる。

【0029】

エレクトロマイグレーションに関して、重要な界面は、良好な導電性を有する前記銅線 501 と中間の導電性を有する前記銅添加遷移層 502 の間にある界面 510 である。経験から分かることであるが、この界面 510 では、エレクトロマイグレーションによる障害はほとんど発生せず、したがって、銅添加遷移層を有する装置の寿命は、大幅に伸びる。

【0030】

この改善の主要な原因は、図 3 に示すサンプルのように急激ではなく、電流密度が緩やかに増加することである。図 6 は、銅のドーピングによって生じる抵抗率 ($\mu\Omega\text{cm}$) と銅添加遷移層 (すなわち、側壁) の始点 511 からの深さ (nm) の関数としての電流密度 (A/cm^2) との相関関係を示している。

【0031】

前記遷移層の金属の選択は、該遷移層の完全性を維持するという、拡散、流出、あるいは混合により、たとえ漸次にでも減少したり、縮小したりするのを阻止する願望によって大きく決定される。この条件を基本的に満たす 2 つの例を図 7 に併記されている。(データは C. P. ワン他の論文、IITC 会議、2001 年 6 月、p. 86 から転写した。) 本例から分かるように、ジルコニウムは 400°C でも銅の中でほとんど拡散せず、すずは、 400°C で銅の中でほんのわずかなだけ拡散する。ジルコニウムを 1% 添加すると大きな抵抗率が生じる ($19.8 \mu\Omega\text{cm}$)。銅に 1% のすずを添加したときの抵抗率はわずか $5.4 \mu\Omega\text{cm}$ である。このデータから、原則的にジルコニウムとすずは、ともに遷移層金属として受け入れ可能な材料といえる。

【0032】

遷移層金属の選択における別な側面は、前記遷移層と前記銅線との間、さらに前記遷移層と前記バリア層との間の完全な接着が必要なことである。金属の適合性のほかに、堆積方法が重要である。方法に関する以下の記述を参考にされたい。

【0033】

本発明による半導体ボデーの水平面に集積回路を製造する方法は、

- ・ 前記半導体ボデーの上に絶縁層を形成するステップと；
- ・ 前記絶縁層を通して略垂直な孔をエッチングで形成するステップと、該孔は底部と側

10

20

30

40

50

壁を有しており；

- ・ 前記孔内の側壁および前記孔の底部を含む前記誘電体層を覆うようにバリア層を堆積し、該バリア層で銅をシールするステップと；
- ・ 前記バリア層を覆うように銅添加遷移層を堆積し、銅に強力に接着させ、エレクトロマイグレーション耐性の信頼性を向上させ、堆積技術として物理気相成長、化学気相成長、あるいは原子層化学機械的堆積を使用するステップと；
- ・ さらに、前記孔の残った部分に銅を充填し、その技術として銅シード層堆積を必要としない銅めっきを行うステップを含む方法である。

【0034】

さらに、前記銅、遷移層、バリア層に対し化学機械的研磨を行い、表面を平坦化するステップを追加することができる。 10

さらに、前記孔の底部上の前記バリア層の概して水平なバリア部分を選択的に除去するステップを追加することができる。

【0035】

本発明による複数の金属線を有する半導体ボデーの水平面に集積回路を完成する方法は、

- ・ 前記半導体ボデーの上にレベル間絶縁層を形成するステップと；
- ・ 前記レベル間絶縁層の上に金属内絶縁層を形成するステップと；
- ・ 前記金属内絶縁層に略垂直なトレンチと、前記レベル間絶縁層に略垂直なビアをエッチングで形成するステップと；
- ・ 銅をシールするバリア層を前記トレンチとビア内の金属内誘電体層を覆うようにバリア層をたいせきさせるステップと； 20
- ・ 前記トレンチとビア内のバリア層の上に銅ドーブ遷移相をたいせきするステップと；
- ・ 前記ビアの底部から前記バリア層と前記遷移層を選択的に除去し、前記金属線を露出させるステップと；
- ・ 前記トレンチとビアの残った部分に銅を充填するステップを含む方法である。

【0036】

本発明を説明のための実施例を参照しつつ説明してきたが、以上の説明は、制限する意味と解釈しないであらう。本発明の他の実施例はもとより説明した実施例にさまざまな変更を加えたり、組み合わせることは、説明を参照された当業者には自明のことであらう。集積回路デザインの次第に縮小していくパターンサイズとともにビアの直径が縮小されていきつつあるとき、特定の側壁構造を達成するため異方性プラズマエッチングを微調整することがその一例である。したがって、添付の請求項は、このようなあらゆる変更あるいは実施法を包含することを意図している。 30

【0037】

以上の説明に関して更に以下の項を開示する。

(1) 半導体ボデーの水平面における集積回路は、前記半導体ボデーの上にある誘電体層と、前記誘電体層を通る側壁と底部を持つ略垂直な孔と、前記孔の中の前記側壁と前記孔の底部を含む前記誘電体層を覆うように設けられ、銅をシールする働きがあるバリア層と、前記バリア層を覆う、銅を添加した遷移層、該遷移層は純銅よりも高い抵抗率を有し、銅と前記バリア層に強力に接着し、そのためエレクトロマイグレーション耐性の信頼性を向上させる、とから成り、前記孔の残った部分には銅を充填することを特徴とする集積回路 40

(2) 前記孔は、トレンチを含む第1項記載の回路。

(3) 前記孔は、トレンチとビアを含む第1項記載の回路。

(4) 前記誘電体層は、低い誘電率を示す多孔性材料である第1項記載の回路。

(5) 前記バリア層は、チタニウム、タンタル、タングステン、モリブデン、クローム、およびこれらの化合物からなる集団の中から選ばれた高融点金属である第1項記載の回 50

路。

(6) 前記バリア層は、炭 - 窒化シリコン、炭化シリコン、窒化チタニウム、窒化タンタル、窒化タングステン、炭化タングステン、窒化シリコン、チタニウム / 窒化シリコン、タンタル / 窒化シリコンからなる集団の中から選ばれた絶縁性誘電体化合物である第 1 項記載の回路。

(7) 前記バリア層は、有機誘電体材料によって形成される第 1 項記載の回路。

(8) 前記バリア層は、1 nm ~ 50 nm の範囲の厚さを有する第 1 項記載の回路。

(9) 前記多孔性誘電体層内の微細ボイドが合体して大きなボイドを形成することを防ぐため、さらに銅が前記孔から前記誘電体層へマイグレートするのを防ぐために前記バリア層は、前記誘電体層をシールする第 1 項記載の回路。

(10) 前記遷移層は、銅タンタル、銅マグネシウム、銅アルミニウム、銅シリコン、銅クローム、銅ベリリウム、銅ジルコニウム、銅ニッケル、銅すず、銅銀、銅チタニウム、銅パラジウムからなる材料の集団の中から選ばれる第 1 項記載の回路。

(11) 半導体ボデーの上にある誘電体層と、誘電体層を通る、側壁と底部を有する略垂直な孔、を含む半導体ボデーの水平面の集積回路の構造と製造方法。バリア層 (201) は、前記孔の中の側壁と該孔の底部を含む誘電体層を覆うように位置している。該バリア層 (201) は、銅をシールする作用をする。銅を添加した遷移層 (240) は、バリア層を覆うように位置している。該遷移層は、純銅よりも高い抵抗率を有し、銅とバリア層とに強力に接着し、エレクトロマイグレーション耐性の信頼性を向上させる。前記孔の残った部分には、銅 (203) を充填する。該孔はトレンチあるいはトレンチとビアであってよい。

【図面の簡単な説明】

【図 1】パターンサイズが縮小を続けるため重要性を増している界面の効果を図示する、絶縁体内の銅を充填したトレンチとビアが見える概略断面図を示す。

【図 2】A は、バリア層のライニングが施され、銅を充填したトレンチとビアが見える概略断面図を示す。B は、本発明による銅充填遷移層が並ぶ概略断面図を示す。

【図 3】エレクトロマイグレーションの起点を明示するための、銅線に流れる電流を示すバリア層と絶縁体に埋め込まれた銅線の平面図を示す。

【図 4】さまざまな抵抗率および導電性を示すバリア層を有する銅線の寿命データをプロットしたウェイブル分布図を示す。

【図 5】エレクトロマイグレーションの起点を明示するための、銅線と遷移層の電流を図示する、銅添加遷移層とバリア層に埋め込まれた銅線の平面図を示す。

【図 6】銅のドーピングによる遷移層内の抵抗率と電流密度をプロットした図を示す。

【図 7】層の安定性を示す遷移層ための銅材料の拡散性を比較する図を示す。

【符号の説明】

101 半導体

102 レベル内誘電体層

105 トレンチ

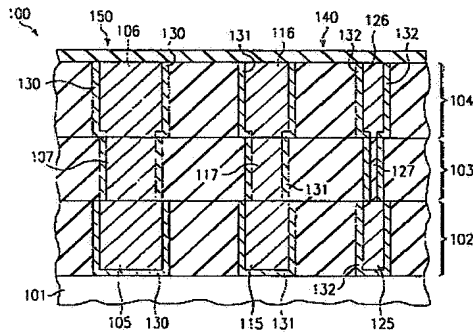
117 ビア

201 バリア層

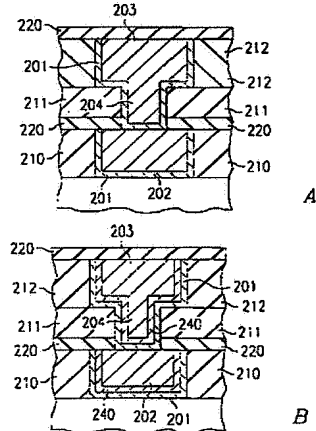
204 ビア

301 銅線

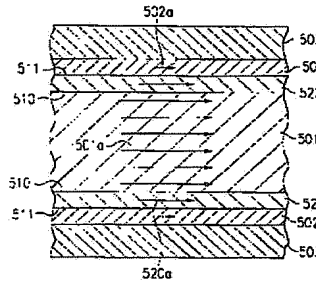
【図 1】



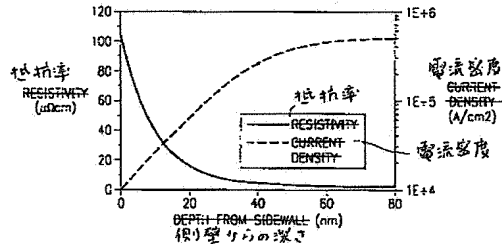
【図 2】



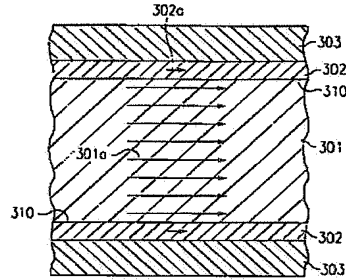
【図 5】



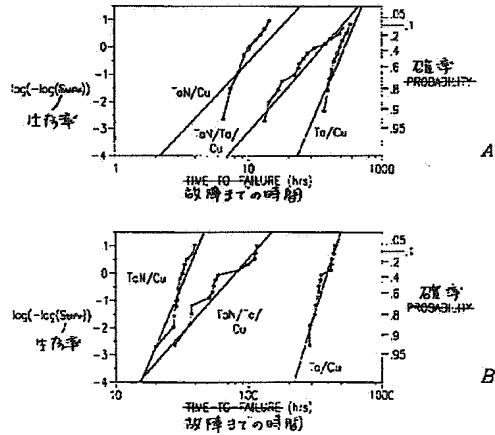
【図 6】



【図 3】



【図 4】



【図 7】

測定項目

測定項目	Cu/Zr	Cu/Sn
腐蝕度	500000%	0.2%
拡散性	DIFFUSION	DIFFUSION
抵抗率	RESISTANCE	RESISTANCE

測定条件: 100°C, 100%湿度, 1000hrs

測定結果: Cu/Zr: 1000000%, Cu/Sn: 0.2%, RESISTANCE: 1000000%

測定場所: 東京大学工学部材料工学系

測定日: 2004年6月

フロントページの続き

(72)発明者 キン - タン ジアン

アメリカ合衆国 テキサス、オースティン、 ペインティド シールド ドライブ 5325

(72)発明者 ロバート ツ

アメリカ合衆国 テキサス、プレイノー、 ラヴァカ ドライブ 4209

(72)発明者 ケネス ブレナン

アメリカ合衆国 テキサス、オースティン、 デュブリー サークル 2610

F ターム(参考) 5F033 HH11 HH12 HH17 HH18 HH19 HH20 HH21 HH27 HH30 HH32
HH33 HH34 HH36 JJ01 JJ11 JJ12 JJ17 JJ18 JJ19 JJ20
JJ21 JJ27 JJ30 JJ32 JJ33 JJ34 JJ36 KK11 KK12 KK17
KK18 KK19 KK20 KK21 KK27 KK30 KK32 KK33 KK34 KK36
MM01 MM02 MM12 MM13 NN06 NN07 PP06 PP14 PP27 PP28
QQ09 QQ10 QQ37 QQ48 QQ73 RR01 RR02 RR05 RR06 RR29
TT07 XX01 XX03 XX05 XX10 XX13 XX24 XX27 XX28